

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-229496

(43)Date of publication of application : 12.08.2004

(51)Int.Cl.

H02M 7/48

(21)Application number : 2004-014898

(71)Applicant : O2 MICRO INC

(22)Date of filing : 22.01.2004

(72)Inventor : YUN-RIN RIN

(30)Priority

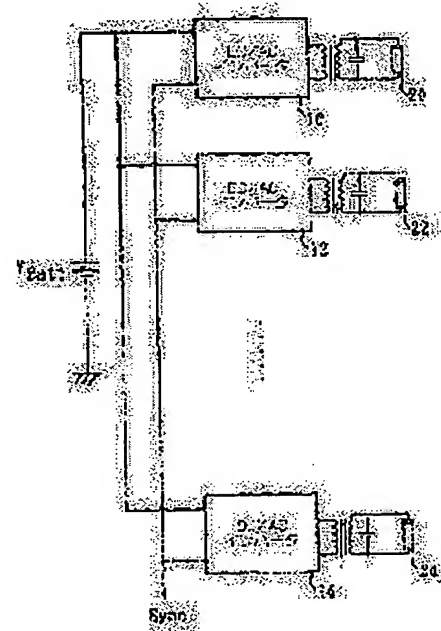
Priority number : 2003 348748
2004 756007Priority date : 22.01.2003
13.01.2004Priority country : US
US

(54) CONTROLLER FOR POWER CIRCUIT AND DRIVE METHOD, AND ELECTRIC CIRCUIT FOR ENERGY SUPPLY AND INDICATING DEVICE EQUIPPED WITH THE ELECTRIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a further simplified controller with a further simplified phase shift circuit technology.

SOLUTION: The controller for controlling at least two power circuits is provided with a pulse generator and a selecting device. The pulse generator generates a first pulse signal connected to a first power circuit of at least the two power circuits for starting the operation of the first power circuit. Thereafter, the first power circuit outputs a second pulse signal to a second power circuit of at least the two power circuits for starting the operation of the second power circuit. The selecting device generates a reference signal connected to each of at least two power circuits for indicating the number of the controlled power circuits. The controller is used for supplying control energy to the electric circuit equipped with a plurality of inverters, and further particularly for giving a phase shift to the electric circuit. Ordinarily, the electric circuit is applied to the indicating device of a liquid crystal display monitor, a liquid crystal display computer, a liquid crystal display television or the like.



DESI AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

17.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

JP 2004 229496 A 2004.8.12

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-229496

(P2004-229496A)

(43) 公開日 平成16年8月12日 (2004.8.12)

(51) Int. Cl.⁷

H02M 7/48

FI

H02M 7/48

H02M 7/48

T

A

テーマコード (参考)

5H007

審査請求 有 請求項の数 65 O L 外国語出願 (全 41 頁)

(21) 出願番号 特願2004-14898 (P2004-14898)
 (22) 出願日 平成16年1月22日 (2004.1.22)
 (31) 優先権主張番号 10/348,748
 (32) 優先日 平成15年1月22日 (2003.1.22)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 10/756,007
 (32) 優先日 平成16年1月13日 (2004.1.13)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500521843
 オーツー マイクロ, インコーポレーテッド
 アメリカ合衆国 95054 カリフォルニア州, サンタ クララ, パトリック
 ヘンリー ドライブ 3118
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100108578
 弁理士 高橋 昭男
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100101465
 弁理士 骨山 正和

最終頁に続く

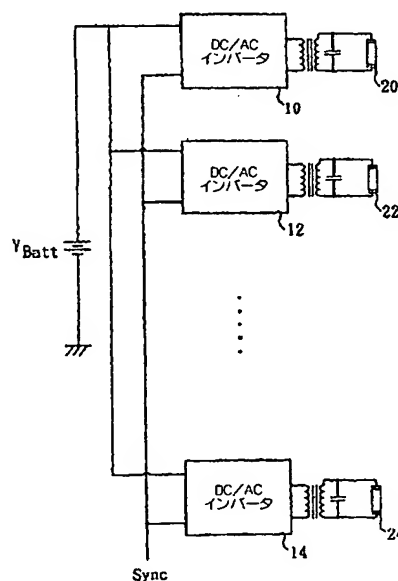
(54) 【発明の名称】 電源回路の制御器と駆動方法及びエネルギー供給のための電気回路及びその電気回路を備えた表示装置

(57) 【要約】

【課題】 より簡易な位相シフト回路技術の、より簡易な制御器を提供すること。

【解決手段】 少なくとも2つの電力回路を制御するための制御器は、パルス生成器と選択器とを備えている。パルス生成器は、第1電力回路の動作を開始するための、少なくとも2つの電力回路の第1電力回路に結合される。第1パルス信号を生成する。その後、第1電力回路は、第2電力回路の動作を開始する少なくとも2つの電力回路の第2電力回路に、第2パルス信号を出力する。選択器は、制御される電力回路の数を示すための、少なくとも2つの電力回路の各々に結合される基準信号を生成する。制御器は、複数のインバータを備える電気回路に制御エネルギーを供給するのに使用され、さらに特化して、電気回路に位相シフトを与えるものである。通常は、前記電気回路は、液晶表示モニターや液晶表示コンピュータや液晶表示テレビなどの表示装置に適用される。

【選択図】 図1



(2)

JP 2004 229496 A 2004.8.12

【特許請求の範囲】

【請求項 1】

少なくとも 2 つの電力回路を制御するための制御器において、
前記少なくとも 2 つの電力回路の動作を開始するために、前記少なくとも 2 つの電力回路の第 1 電力回路に結合されるパルス信号を生成するためのパルス生成器と、
制御される電力回路の数を示すために、前記少なくとも 2 つの電力回路の各々に結合される基準信号を生成するための選択器と
を備えることを特徴とする制御器。

【請求項 2】

前記パルス生成器は、発振器であることを特徴とする請求項 1 記載の制御器。

10

【請求項 3】

前記選択器は、位相選択器あるいはディジタルーアナログ変換器あるいはアナログ入力アナログ出力回路であることを特徴とする請求項 1 記載の制御器。

【請求項 4】

前記基準信号は、シフトすべき位相の数を示すことを特徴とする請求項 1 記載の制御器。

【請求項 5】

前記選択器は、制御される電力回路の数をプログラムするための少なくとも 1 つの入力端子と、前記少なくとも 1 つの入力端子に結合される入力信号に従って、基準信号を出力するための出力を備えることを特徴とする請求項 1 記載の制御器。

20

【請求項 6】

前記入力信号は、位相の数を選択するためのアナログ信号、あるいは位相の数を選択するためのディジタル信号であることを特徴とする請求項 5 記載の制御器。

【請求項 7】

エネルギーを供給するための電気回路において、
第 1 パルス信号を生成するためのパルス生成器と、基準信号を生成するための選択器と
を持った制御器と、
少なくとも 2 つの電力回路と
を備え、
前記基準信号は、制御される電力回路の数を示すために、少なくとも 2 つの電力回路の各々に結合され、前記第 1 パルス信号は、第 1 電力回路の動作を開始するために、前記少なくとも 2 つの電力回路の第 1 電力回路に結合され、前記第 1 電力回路は、第 2 電力回路の動作を開始するために、前記少なくとも 2 つの電力回路の第 2 電力回路に第 2 パルス信号を出力し、前記第 2 パルス信号は、第 1 パルス信号に対して第 1 電力回路への遅延があることを特徴とする電気回路。

30

【請求項 8】

前記パルス生成器は、発振器であることを特徴とする請求項 7 記載の電気回路。

【請求項 9】

前記選択器は、位相選択器あるいはディジタルーアナログ変換器あるいはアナログ入力アナログ出力回路であることを特徴とする請求項 7 記載の電気回路。

40

【請求項 10】

前記基準信号は、シフトすべき位相の数を示すことを特徴とする請求項 7 記載の電気回路。

【請求項 11】

前記選択器は、制御される電力回路の数をプログラムするための少なくとも 1 つの入力端子と、結合される入力信号に従って基準信号を少なくとも 1 つの入力端子に出力するための出力とを備えることを特徴とする請求項 7 記載の電気回路。

【請求項 12】

前記入力信号は、位相の数を選択するためのアナログ信号、あるいは位相の数を選択するためのディジタル信号であることを特徴とする請求項 11 記載の電気回路。

50

(3)

JP 2004 229496 A 2004.8.12

【請求項 13】

前記電力回路は、DC/AC変換器であることを特徴とする請求項7記載の電気回路。

【請求項 14】

前記DC/ACインバータは、フルブリッジインバータ、あるいは半ブリッジインバータ、あるいはフライバックフォワードインバータ、あるいはパッシブインバータ、あるいはD級インバータであることを特徴とする請求項7記載の電気回路。

【請求項 15】

前記遅延は、位相シフト遅延であることを特徴とする請求項7記載の電気回路。

【請求項 16】

前記電力回路は、さらに変圧器を備えることを特徴とする請求項7記載の電気回路。

10

【請求項 17】

前記電力回路は、さらに光源を備えることを特徴とする請求項16記載の電気回路。

【請求項 18】

前記光源は、冷陰極蛍光灯であることを特徴とする請求項17記載の電気回路。

【請求項 19】

前記電力回路は、さらに、遅延を生成するためのランフ生成器を備え、ランフ生成器の最初の位置は、第1パルス信号と基準信号とに基づいて生じること特徴とする請求項7記載の電気回路。

【請求項 20】

前記電力回路は、さらに、遅延を生成するための遅延回路を備え、遅延の量は、第1パルス信号と基準信号とに基づいて生成されることを特徴とする請求項7記載の電気回路。

20

【請求項 21】

表示装置において、

第1パルス信号を生成するためのパルス生成器と、基準信号を生成するための選択器とを持った制御器と、

少なくとも2つの電力回路と、

各々が少なくとも2つの電力回路にそれぞれ結合される、少なくとも2つの変圧器と、

各々が少なくとも2つの変圧器にそれぞれ結合される、少なくとも2つの光源と、

表示パネルと

を備え、

30

前記基準信号は、制御される電力回路の数を示すために、少なくとも2つの電力回路の各々に結合され、前記第1パルス信号は、少なくとも2つの光源の第1光源をオンさせるために、第1電力回路の動作を開始するべく、前記少なくとも2つの電力回路の第1電力回路に結合され、前記第1電力回路は、少なくとも2つの光源の第2光源をオンさせるために、第2電力回路の動作を開始するべく、前記少なくとも2つの電力回路の第2電力回路に第2パルス信号を出力し、前記第2パルス信号は、第1パルス信号に対して第1電力回路への遅延があることを特徴とする表示装置。

【請求項 22】

前記表示装置は、液晶表示テレビ、あるいは液晶表示モニター、あるいは液晶表示コンピュータであることを特徴とする請求項21記載の表示装置。

40

【請求項 23】

前記パルス生成器は、発振器であることを特徴とする請求項21記載の表示装置。

【請求項 24】

前記選択器は、位相選択器、あるいはディジタルーアナログ変換器、あるいはアナログ入力アナログ出力回路であることを特徴とする請求項21記載の表示装置。

【請求項 25】

前記基準信号は、シフトすべき位相の数を示すことを特徴とする請求項21記載の表示装置。

【請求項 26】

前記選択器は、制御される電力回路の数をプログラムするための少なくとも1つの入力

50

(4)

JP 2004 229496 A 2004.8.12

端子と、少なくとも1つの入力端子に結合される入力信号に従って、基準信号を出力するための出力とを備えることを特徴とする請求項21記載の表示装置。

【請求項27】

前記入力信号は、位相の数を選択するためのアナログ信号であるか、あるいは位相の数を選択するためのデジタル信号であることを特徴とする請求項26記載の表示装置。

【請求項28】

前記電力回路は、DC/ACインバータであることを特徴とする請求項21記載の表示装置。

【請求項29】

前記DC/ACインバータは、フルブリッジインバータ、あるいは半ブリッジインバータ、あるいはフライバックフォワードインバータ、あるいはファッシュアルインバータ、あるいはD級インバータであることを特徴とする請求項28記載の表示装置。

【請求項30】

前記遅延は、位相シフト遅延であることを特徴とする請求項21記載の表示装置。

【請求項31】

前記光源は、冷陰極蛍光灯であることを特徴とする請求項21記載の表示装置。

【請求項32】

前記電力回路は、さらに、遅延を生成するためのランパ生成器を備え、前記ランパ生成器の最初の位置は、第1パルス信号と基準信号とに基づいて生じることとを特徴とする請求項21記載の表示装置。

【請求項33】

前記電力回路は、さらに、遅延を生成するための遅延回路を備え、遅延の量は、第1パルス信号と基準信号とに基づいて生成されることを特徴とする請求項21記載の表示装置。

【請求項34】

少なくとも2つの電力回路を駆動するための方法において、

(a) 選択器から基準信号を生成する段階と、

(b) 制御される電力回路の数を示すために、基準信号を少なくとも2つの電力回路の各々に結合する段階と、

(c) パルス生成器から第1パルス信号を生成する段階と、

(d) 第1電力回路の動作を開始するために、少なくとも2つの電力回路の第1電力回路に第1パルス信号を結合する段階と、

(e) 第2電力回路の動作を開始するために、少なくとも2つの電力回路の第2電力回路に、第1電力回路から第2パルス信号を出力する段階と

を備え、

前記第2パルス信号は、第1パルス信号に対して第1電力回路への遅延があることを特徴とする方法。

【請求項35】

前記段階(a)の基準信号は、選択器に結合される入力信号に従って生成されることを特徴とする請求項34記載の方法。

【請求項36】

前記段階(d)は、さらに、第1電力回路を第1変圧器に結合する段階を備えることを特徴とする請求項34記載の方法。

【請求項37】

さらに、前記第1変圧器を第1光源に結合する段階を備えることを特徴とする請求項36記載の方法。

【請求項38】

前記段階(e)は、さらに、前記第2電力回路を第2変圧器に結合する段階を備えることを特徴とする請求項34記載の方法。

【請求項39】

10

20

30

40

50

(5)

JP 2004 229496 A 2004.8.12

さらに、前記第2変圧器を第2光源に結合する段階を備えることを特徴とする請求項3記載の方法。

【請求項40】

前記段階(e)における遅延は、ランプ生成器によって生成され、前記ランプ生成器の最初の位置は、第1パルス信号と基準信号とに基づいて生じること特徴とする請求項34記載の方法。

【請求項41】

前記段階(e)における遅延は、遅延回路によって生成され、遅延の量は、第1パルス信号と基準信号とに基づいて生成されることを特徴とする請求項34記載の方法。

【請求項42】

少なくとも2つの冷陰極蛍光灯(CCFL)電力回路を制御するための制御器において

基準信号を生成するための移相シフト選択器と、

基準信号を受信して、受信した基準信号に応じてパルス信号を生成するためのパルス生成器と

を備え、

前記基準信号は、接続されるCCFL電力回路の数に従って位相遅延の量を示すようにプログラムされ、

前記パルス信号は、少なくとも2つのCCFL電力回路の動作を開始するために、少なくとも2つのCCFL電力回路に結合される

ことを特徴とする制御器。

【請求項43】

前記位相シフト選択器は、接続されるCCFL電力回路の数をプログラムするための少なくとも1つの入力端子と、前記少なくとも1つの入力端子に結合される入力信号に従って、基準信号を出力するための出力とを備えることを特徴とする請求項42記載の制御器。

【請求項44】

前記入力信号は、位相の数を選択するためのアナログ信号であるか、あるいは位相の数を選択するためのデジタル信号であることを特徴とする請求項43記載の制御器。

【請求項45】

CCFL負荷にエネルギーを供給するための電気回路において、

各々が、CCFL電力回路の位相遅延をプログラムするための位相遅延選択器を備える、少なくとも2つのCCFL電力回路と、

接続されるCCFL電力回路の数に従って、基準信号を生成するための位相シフト選択器と、基準信号を受信して、受信した基準信号に応じてパルス信号を生成するためのパルス生成器とを持った制御器と

を備え、

各CCFL電力回路に対する位相遅延の量は、CCFL電力回路の動作順序に従って段階的に増加し、

前記パルス信号は、前記少なくとも2つのCCFL電力回路の動作を開始するために、前記少なくとも2つのCCFL電力回路に結合され、

前記少なくとも2つのCCFL電力回路の第1CCFL電力回路は、パルス信号が受信されるとすぐに開始され、前記少なくとも2つのCCFL電力回路の第2CCFL電力回路は、位相遅延の所定の量の後に開始される

ことを特徴とする電気回路。

【請求項46】

前記位相シフト選択器は、接続されるCCFL電力回路の数をプログラムするための少なくとも1つの入力端子と、前記少なくとも1つの入力端子に結合される入力信号に従って、基準信号を出力する出力とを備えることを特徴とする請求項45記載の電気回路。

【請求項47】

(6)

JP 2004 229496 A 2004.8.12

前記入力信号は、位相の数を選択するためのアナログ信号であるか、あるいは位相の数を選択するためのデジタル信号であることを特徴とする請求項46記載の電気回路。

【請求項48】

さらに、変圧器を備えることを特徴とする請求項45記載の電気回路。

【請求項49】

さらに、CCFL負荷を備えることを特徴とする請求項48記載の電気回路。

【請求項50】

前記CCFL電力回路は、さらに、位相遅延を生成するためのランパ生成器を備え、前記ランパ生成器の最初の位置は、パルス信号に基づいて生じること特徴とする請求項45記載の電気回路。

10

【請求項51】

前記CCFL電力回路は、さらに、プログラムされた位相遅延を生成するために、遅延回路を備えることを特徴とする請求項45記載の電気回路。

【請求項52】

CCFL負荷を持つ表示装置において、

各々が、CCFL電力回路の位相遅延をプログラムするための位相遅延選択器を備える、少なくとも2つのCCFL電力回路と、

接続されるCCFL電力回路の数に従って、基準信号を生成するための位相シフト選択器と、基準信号を受信して、受信した基準信号に応じてパルス信号を生成するためのパルス生成器とを持った制御器と

20

各々が、少なくとも2つのCCFL電力回路にそれぞれ結合される、少なくとも2つの変圧器と、

各々が、少なくとも2つの変圧器にそれぞれ結合される、少なくとも2つのCCFL負荷と、

表示パネルと

を備え、

各CCFL電力回路に対する位相遅延の量は、CCFL電力回路の動作順序に従って段階的に増加し、

前記パルス信号は、前記少なくとも2つのCCFL電力回路の動作を開始するために、前記少なくとも2つのCCFL電力回路に結合され、

30

前記少なくとも2つのCCFL電力回路の第1CCFL電力回路は、前記少なくとも2つのCCFL負荷の第1CCFL負荷をオンさせるように、パルス信号が受信されるとすぐに開始され、前記少なくとも2つのCCFL電力回路の第2CCFL電力回路は、前記少なくとも2つのCCFL負荷の第2CCFL負荷をオンさせるように、位相遅延の所定の量の後に開始される

ことを特徴とする表示装置。

【請求項53】

前記表示装置は、液晶表示テレビ、あるいは液晶表示モニター、あるいは液晶表示コンピュータであることを特徴とする請求項52記載の表示装置。

【請求項54】

40

前記位相シフト選択器は、CCFL電力回路の数をプログラムするための少なくとも1つの入力端子と、前記少なくとも一つの入力端子に結合される入力信号に従って、基準信号を出力するための出力とを備えることを特徴とする請求項52記載の表示装置。

【請求項55】

前記入力信号は、位相の数を選択するためのアナログ信号、あるいは位相の数を選択するためのデジタル信号であることを特徴とする請求項54記載の表示装置。

【請求項56】

前記CCFL電力回路は、さらに、位相遅延を生成するためのランパ生成器を備え、前記ランパ生成器の最初の位置は、パルス信号に基づいて生じること特徴とする請求項52記載の表示装置。

50

(7)

JP 2004 229496 A 2004.8.12

【請求項 57】

前記 CCF L 電力回路は、さらに、プログラムされた位相遅延を生成するための遅延回路を備えることを特徴とする請求項 52 記載の表示装置。

【請求項 58】

少なくとも 2 つの CCF L 電力回路を駆動するための方法において、

- (a) 位相シフト選択器から基準信号を生成する段階と、
 - (b) 基準信号をパルス生成器に結合する段階と、
 - (c) 基準信号にตอบสนองしてパルス生成器からパルス信号を生成し、パルス信号を少なくとも 2 つの CCF L 電力回路の各々に結合する段階と、
 - (d) パルス信号を受信した後、第 1 CCF L 電力回路の動作を開始する段階と、
 - (e) 所定量の位相遅延の後に、第 2 CCF L 電力回路の動作を開始する段階と
- を備えることを特徴とする方法。

10

【請求項 59】

前記段階 (a) の基準信号は、位相シフト選択器に結合される入力信号に従って生成されることを特徴とする請求項 58 記載の方法。

【請求項 60】

前記段階 (d) は、さらに、第 1 CCF L 電力回路を第 1 変圧器に結合する段階を備えることを特徴とする請求項 58 記載の方法。

【請求項 61】

さらに、前記第 1 変圧器を第 1 CCF L 負荷に結合する段階を備えることを特徴とする請求項 60 記載の方法。

20

【請求項 62】

前記段階 (e) は、さらに、前記第 2 CCF L 電力回路を第 2 変圧器に結合する段階を備えることを特徴とする請求項 58 記載の方法。

【請求項 63】

さらに、前記第 2 変圧器を第 2 CCF L 負荷に結合する段階を備えることを特徴とする請求項 62 記載の方法。

【請求項 64】

前記段階 (e) の位相遅延は、ランフ生成器によって生成され、ランフ生成器の最初の位置は、パルス信号に基づいて生じること特徴とする請求項 58 記載の方法。

30

【請求項 65】

前記段階 (e) の位相遅延は、遅延回路によって生成され、位相遅延の量は、CCF L 電力回路の位相遅延選択器によってプログラムされることを特徴とする請求項 58 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CCF L (冷陰極蛍光灯: cold cathode fluorescent lamp) 等の複数の負荷に対して電力を供給するための電気回路に関し、特に、複数の負荷に位相シフトを提供するための電気回路に関する。通常、本電気回路は、液晶表示モニターや液晶表示コンピュータや液晶テレビなどの表示装置に使われる。

40

【背景技術】

【0002】

CCF L 負荷は、広く、液晶ディスプレイ (LCD)、特に背面照明型 LCD モニターや LCD テレビに背面照明を提供するのに使用される。しかし、そのような従来の応用範囲では、個々の CCF L を駆動するのに、分離型の直流/交流電力の電力インバータ (DC/AC 電力インバータ) を必要とする。そのような応用例が、図 1 に示されるが、そこでは、各 CCF L (20、22、24) は、それぞれ個々の DC/AC インバータ (10、12、14) によって電力を与えられ、全ての DC/AC インバータは同期が取れている。各 DC/AC インバータには、AC 交換網と電力駆動回路とが含まれている。電

50

(8)

JP 2004 229496 A 2004.8.12

力駆動回路には、CCFLのための共振タンク回路が含まれていてよい。各インバータの中のAC交換網は、同期してON/OFFが切り換えられる。従って、電力線上には、大きなリップルがある。交換網の中のスイッチがオンされる時に、電力源 V_{Bat} から大電流が引き出され、スイッチがオフされる時に、引き出された電流が解除される。全てのインバータで同時にオンとオフがされると、電力線上に雑音が発生し、これによってシステム内の信号/雑音の状態が劣化する。

【0003】

リップルを減らす一つの方法は、電力線におけるフィルタを増やすことである。しかし、その欠点は、回路の大きさが増加して、その結果、システムの価格が増加することである。

10

【0004】

図2は、複数のCCFL負荷を駆動するための、他の従来例による回路を示しており、その回路には、複数のDC/ACインバータ(10、12、14、16)とCCFL負荷(20、22、24、26)を駆動するための制御器(40)が含まれている。制御器(40)の中のクロック生成器(42)は、位相の遅延を作るために、各DC/ACインバータ(10、12、14、16)に対して位相シフトされたクロック信号の列を生成する。全てのDC/ACインバータ(10、12、14、16)のネットワーク内のスイッチは、隣り合ラインバータ間で等しい位相シフトでオンとオフをするので、電力線上のリップルは、図1に示されるものの $1/N$ に減る効果がある。ここで、Nは、接続されるDC/ACインバータの数である。

20

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、問題は、制御器(40)は、求められる元の負荷の数に固定される、言い換えると、CCFL負荷の数は、制御器(40)から各インバータ(10、12、14、16)に位相シフトを渡すラインに等しいということである。従って、もし、CCFL負荷の数が変わると、制御器(40)の構成は変わらざるを得ない。他の欠点は、制御器(40)が、個々のDC/ACインバータの動作周波数のN倍の周波数を持つ高周波クロック信号を生成する必要があるということである。

30

【0006】

本発明の目的は、より簡易な位相シフト回路技術の、より簡易な制御器を提供することであり、ここで、インバータの数によって決まる、より簡易なユーザプログラム可能な数の位相が使用される、すなわち、高出力、低価格でより小さな複数のインバータのシステムを得ることができる。

【0007】

本発明の他の目的は、CCFL負荷のような複数の負荷を駆動するために、DC/ACインバータのような複数の電力回路を備えた改良型電気回路を提供することであり、これによって、電力回路中で同時にオンとオフが起こることによる瞬間的高電流リップルと雑音が減少する。

【0008】

本発明のさらに他の目的は、CCFL負荷のような、少なくとも2つの負荷を備えた表示装置を提供することである。この表示装置は、LCDモニターやLCDテレビやLCDコンピュータであろう。

40

【0009】

本発明のさらに他の目的は、CCFL負荷のような複数の負荷を駆動するための、DC/ACインバータのような複数の電力回路を備えた電気回路を駆動するための方法を提供することであり、これによって、電力回路において同時にオンとオフが起こることによる瞬間的高電流リップルと雑音が減少する。

【課題を解決するための手段】

【0010】

50

(9)

JP 2004 229496 A 2004.8.12

まとめると、本発明の制御器は、接続されるDC/ACインバータの動作を始めるためのクロック信号を生成するためのパルス生成器と、接続されるDC/ACインバータの数
を示す基準信号を生成するための位相選択器とを備える。

【0011】

加えて、本発明による電気回路は、DC/ACインバータの間でCCFL負荷を駆動するためにオンとオフを切り換える位相シフトを提供し、ここで、位相シフトの数は、接続
されるDC/ACインバータの数に従ってプログラムされる。本発明によると、第1 DC
/ACインバータは、パルス生成器からのパルス信号と、位相の数を示す位相選択器から
の基準信号とを受信し、第2 DC/ACインバータへの第2パルス信号を生成する。第2
DC/ACインバータは、第1 DC/ACインバータへの第1パルス信号入力に関する位
相シフトをもった第2パルス信号を受信する。同様に、第2 DC/ACインバータは、第
2 DC/ACインバータへの第2パルス信号入力に関する同量の位相シフトを持つ、第3
DC/ACインバータへの第3パルス信号を生成し、それによって、全てのDC/ACイ
ンバータは、隣り合うインバータ間で等しい位相シフトでオンとオフをする。本発明によ
ると、電力線の上のリップルは、こうして効果的に減らされ、回路は、プログラム可能と
なり、かつ簡略化され、価格も減る。

【発明を実施するための最良の形態】

【0012】

本発明とその利点をより完全に理解するために、次に、本発明の実施形態を示す図面と
共に以下の説明を参照する。

【0013】

図3aは、光源負荷あるいはCCFL負荷のような複数の負荷を駆動するために使用さ
れる、本発明による電気回路をブロック図である。本電気回路は、制御器(40)と、D
C/ACインバータのような少なくとも2つの電力回路(10、12)を備える。制御器
(40)は、位相選択器(44)のような選択器(40)と、発振器のようなパルス生成
器(46)を備える。

【0014】

選択器(44)は、可変入力信号に従って基準信号を生成し、この基準信号は、少なく
とも2つの電力回路(10、12)に結合されて、制御される電力回路の数あるいはシフ
トする位相の数を示す。すなわち、もし接続すべき電力回路が4つあれば、選択器(44)
の出力は、可変入力信号によって接続される4つの電力回路を表す基準信号を出力する
だろう。従って、制御すべき電力回路は、制御回路(40)と電力回路(10、12)の
回路構成を変えずに、入力信号によってプログラム可能であろう。選択器(44)は、デ
ィジタル-アナログ変換器であっても良いし、アナログ入力-アナログ出力回路であって
も良い。

【0015】

パルス生成器(46)は、第1パルス信号を生成し、その第1パルス信号は、少なくと
も2つの電力回路(10、12)の第1電力回路に結合されて、少なくとも2つの電力回
路(10、12)の第1電力回路の動作を開始する。第1電力回路(10)は、その後、
第2パルス信号を出力し、少なくとも2つの電力回路(10、12)の第2電力回路(1
2)の動作を開始する。少なくとも2つの電力回路(10、12)は、負荷に電力を供給
するために各々、変圧器と光源あるいはCCFLのような負荷とに結合される。

【0016】

説明を簡単にするために、2つの電力回路を備えた本発明の電気回路の動作が、以下に
説明される。

【0017】

選択器(44)は、最初に、制御すべき電力回路の数(この場合は、2)を示すための
選択器に結合される入力信号に従って、2つの電力回路(10、12)へと基準信号を生
成する。その後、パルス生成器(46)は、第1電力回路(10)へ第1パルス信号を生
成して、第1電力回路の動作を開始する。第1電力回路(10)は、光源あるいはCCF

(10)

JP 2004 229496 A 2004.8.12

しのような第1負荷に結合される第1変圧器に結合されて、第1負荷の動作を制御する。第1電力回路(10)は、第2パルス信号を第2電力回路(12)へ出力して、第2電力回路の動作を開始するが、ここで、第2パルス信号は、第1電力回路(10)に送られた第1パルス信号によって遅延する。第2電力回路(12)は、光源あるいはCCFLのような第2負荷に結合される第2変圧器に結合されて、第2負荷の動作を制御する。同様に、第2電力回路(12)は、第2動作サイクルのために、第3パルス信号を第1電力回路(10)に出力する。第3パルス信号は、第2電力回路(12)に送られる第2パルス信号によって遅延する。第1電力回路(10)は、その後、第4パルス信号を出力し、ここで、第4パルス信号は、第1電力回路(10)に送られた第3パルス信号によって遅延する。第1電力回路への入力パルス信号として、通常は、最後の電力回路からのパルス信号出力である。本発明によると、2つの電力回路(10, 12)は、等しい位相シフトでオンとオフをする。従って、電力線の上のリップルは、こうして減らされ、本回路は、プログラム可能になり、かつ簡略化され、価格は減る。本発明の利点は、電力回路の数が多くなると、より一層明らかとなるだろう。

【0018】

本発明の電気回路は、LCDモニターのような表示装置や、LCDモニターや、LCDテレビや、LCDコンピュータで適用することができよう。本表示装置は、制御器に加えて、少なくとも2つの電力回路と、少なくとも2つの変圧器と、少なくとも2つの光源と、表示パネルとを備えていてよい。

【0019】

図4は、電力回路のための入力クロックと出力クロックの信号表記である。入力クロックと出力クロックの間に、時間遅延 Δt が見られる。この遅延は、一種の位相シフト遅延であり、遅延回路によって生成されるが、これは後に説明する。

【0020】

図5は、選択回路(70)の一例であり、ここで、ディジタル-アナログ変換器のような選択回路(70)に結合される入力(60, 62, 64, 66)は、ディジタル信号であり、電力回路(10, 12, 14)に結合される出力はアナログ信号(V_{aa})である。選択回路(70)に結合される入力信号と、その対応する出力信号は、図6に示されている。すなわち、もし選択器(70)の入力端子が4ならば、制御すべき電力回路は、16までプログラムすることができる。

【0021】

図7は、縮尺の決められたアナログ選択器のような選択回路(72)の他の一例を示しており、ここでは、選択回路に結合された入力は、アナログ信号(V_{ain})であり、電力回路(10, 12, 14)に結合された出力はアナログ信号(V_{aa})である。図8は、図7に示された選択回路(72)の一例の図であり、ここでは、 V_{ain} は、選択回路(72)のアナログ入力を表しており、 V_{aa} は、選択回路(72)のアナログ出力を表している。 V_{aa} の値は、 V_{ain} と V_{ref} と3つの抵抗(80, 82, 84)の値に基づいて重ね合わせ法を用いることによって得ることができる。

【0022】

図9は、入力クロック信号と基準信号に基づいて生成されたランフ信号を備えた、電力回路の中の遅延回路の一例の図である。遅延 ΔT は、各位相間の遅延回路によって生成される。図9は、各CCFLに順次結合された一連の信号も示しており、ここでは、最初の位置の遅延は、第1パルス信号と基準信号とに基づいてランフ生成器によって生成される。

【0023】

図10aは、本発明における遅延セルの図である。ここで図示されているのは、CLOCK IN信号とCLOCK OUT信号の間の遅延セルによって生成される遅延 ΔT である。図10bは、図10aで示される遅延セル(92)を備えた電力回路の遅延回路の一例である。遅延 ΔT は、主に、基準信号 V_{aa} によって決定される。中でも、CLOCK IN信号が遅延セル(92)と一番最初の時間に結合されると、トランジスタ(93)は、オンして電圧 V_c は0

(11)

JP 2004 229496 A 2004.8.12

Vに落ちる。一方、CLOCK IN信号が落ちたトランジスタ(93)をオフすると(遅延時間の始まり)、コンデンサ(94)は、コンデンサ(94)上の電圧がrefより高くなるまで、電流Icによって充電される。コンデンサ(94)上の電圧がVrefより高くなると、比較器(95)は、状態を変更し、コンデンサ(96)を経由して次段へパルス信号(遅延時間の終わり)を生成するだろう。電流Icは、VaaとVccの差によって決定される。一例として、Vaaの値が高くなるほど、電流Icは少なくなり、充電時間は多くなる。言い換えると、遅延時間が増加する。別の例では、Vaaの値が高くなるほど、電流Icは多くなり、そうして、充電時間は少なくなる。言い換えると、遅延時間が減少する。

【0024】

図11a~図11eは、本発明の電気回路を実現しているDC/ACインバータの例である。図11aは、フルブリッジDC/ACインバータであり、図11bは、半ブリッジDC/ACインバータであり、図11cは、フライバックフォワード(fly back forward)DC/ACインバータであり、図11dは、プッシュプルDC/ACインバータであり、図11eは、D級DC/ACインバータである。

【0025】

本発明とその利点が詳細に説明されたが、様々な変更や代用や交替は、添付の特許請求の範囲で定義したような本発明の趣旨と範囲とから逸脱することなく、ここにおいて可能であることは理解されたい。

【図面の簡単な説明】

【0026】

【図1】全てのDC/ACインバータがCCFL負荷を駆動するのに同期している、複数のCCFL負荷を駆動するために使用される従来の回路を描いた図である。

【図2】回路中に制御器と複数のDC/ACインバータが含まれ、制御器は、複数のDC/ACインバータへの位相遅延クロック信号の列を生成するところの、複数のCCFL負荷を駆動するのに使用される従来の回路を描いた図である。

【図3a】複数のCCFL負荷を駆動するのに使用される、本発明による電気回路のブロック図である。

【図3b】複数のCCFL負荷を駆動するのに使用される、本発明による電気回路のブロック図である。

【図4】DC/ACインバータのための入力クロックと出力クロックの信号である。

【図5】選択回路に結合される入力信号はデジタル信号であり、DC/ACインバータに結合される出力はアナログ信号であるような、選択回路の一例の図である。

【図6】選択回路に結合される入力信号と、対応する出力信号の一例の図である。

【図7】選択回路に結合される入力信号はアナログ信号であり、DC/ACインバータに結合される出力はアナログ信号であるような、選択回路の一例の図である。

【図8】図7に示される選択回路の一例の図である。

【図9】入力クロック信号に基づいて生成されたランプ信号を備えるDC/ACインバータの遅延回路の一例の図である。

【図10a】本発明中の遅延セルの図である。

【図10b】本発明中の遅延セルの図である。

【図11a】本発明の電気回路を実現するDC/ACインバータの例の図である。

【図11b】本発明の電気回路を実現するDC/ACインバータの例の図である。

【図11c】本発明の電気回路を実現するDC/ACインバータの例の図である。

【図11d】本発明の電気回路を実現するDC/ACインバータの例の図である。

【図11e】本発明の電気回路を実現するDC/ACインバータの例の図である。

【符号の説明】

【0027】

- 10、12、14、16 DC/AC変換器
- 20、22、24、26 CCFL(冷陰極蛍光灯)
- 40 制御器

10

20

30

40

50

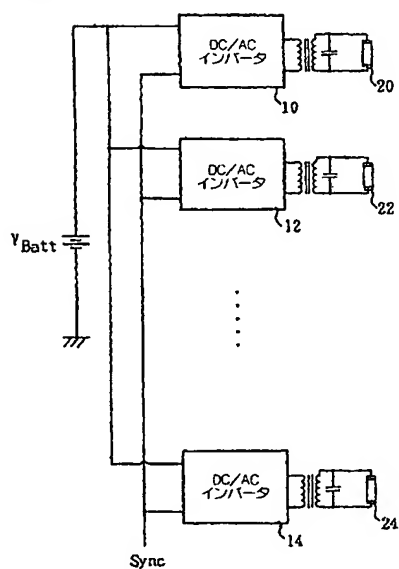
(12)

JP 2004 229496 A 2004.8.12

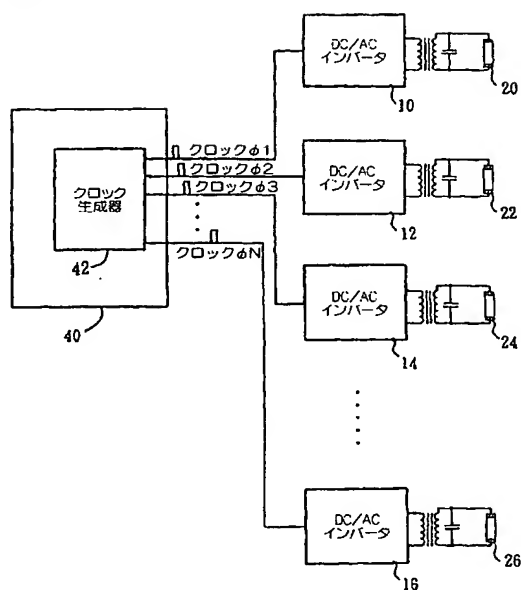
- 42 クロック生成器
- 44 位相選択器
- 46 パルス生成器
- 60, 62, 64, 66 デジタル入力
- 70 デジタルーアナログ変換器
- 72 縮尺の決められたアナログ選択器
- 80, 82, 84 抵抗
- 92 遅延セル
- 93 トランジスタ
- 94, 96 コンデンサ
- 95 比較器

10

【図1】



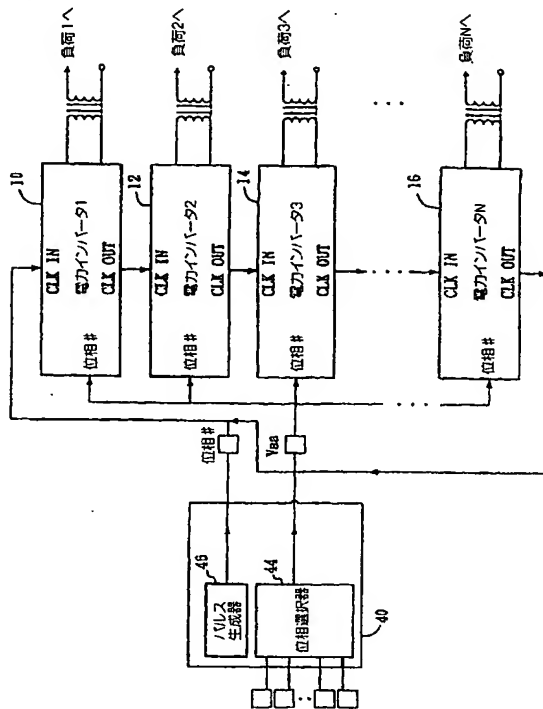
【図2】



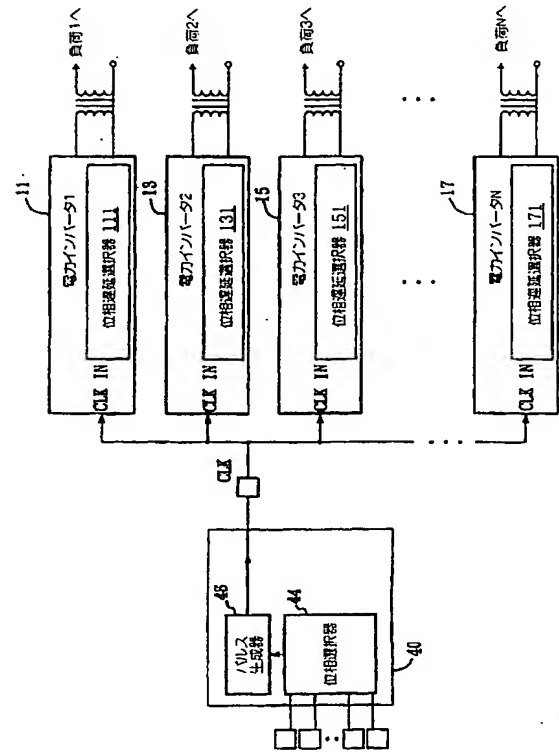
(13)

JP 2004 229496 A 2004.8.12

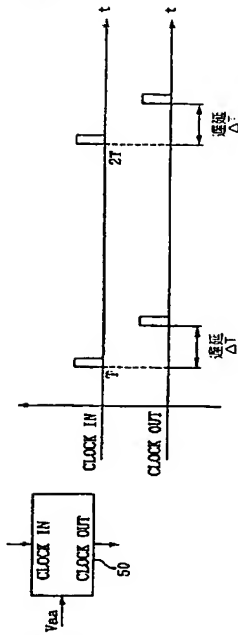
【図 3 a】



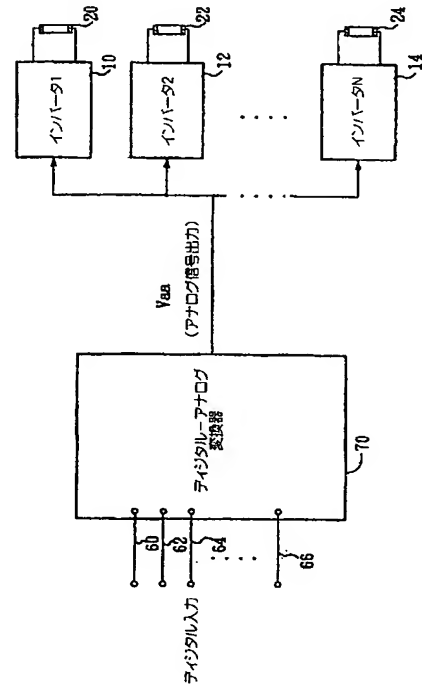
【図 3 b】



【図 4】



【図 5】



(14)

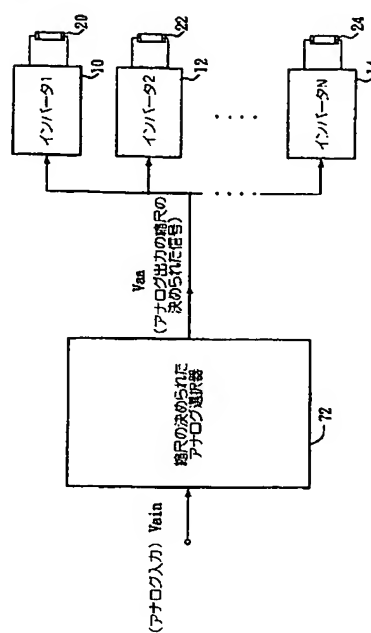
JP 2004 229496 A 2004.8.12

【図 6】

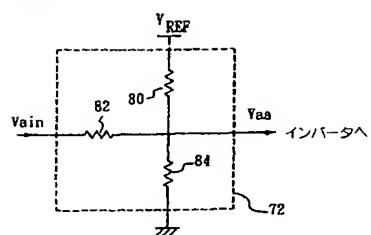
m=3 例

sel 0	sel 1	sel 2	sel 3	Yaa
0	0	0	0	1/16
0	0	0	1	2/16
0	0	1	0	3/16
0	0	1	1	4/16
0	1	0	0	5/16
0	1	0	1	6/16
0	1	1	0	7/16
0	1	1	1	8/16
1	0	0	0	9/16
1	0	0	1	10/16
1	0	1	0	11/16
1	0	1	1	12/16
1	1	0	0	13/16
1	1	0	1	14/16
1	1	1	0	15/16
1	1	1	1	16/16

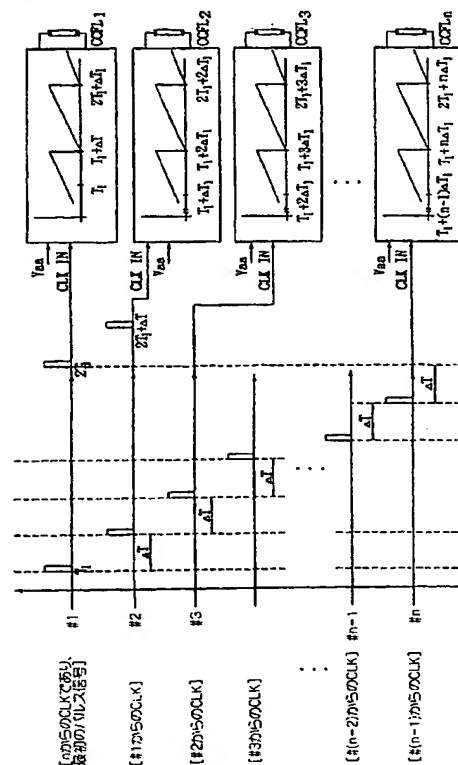
【図 7】



【図 8】



【図 9】



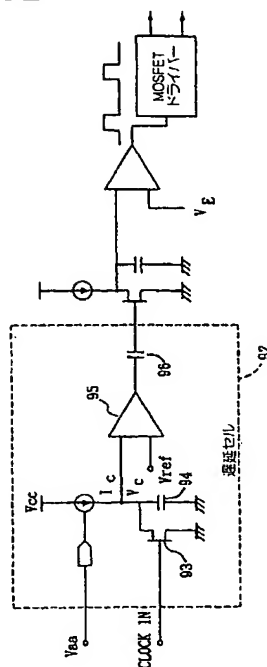
(15)

JP 2004 229496 A 2004.8.12

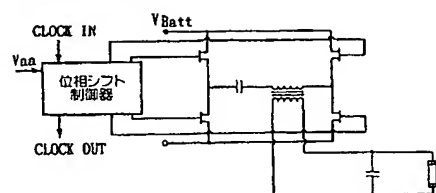
【図10a】



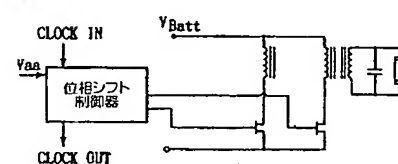
【図10b】



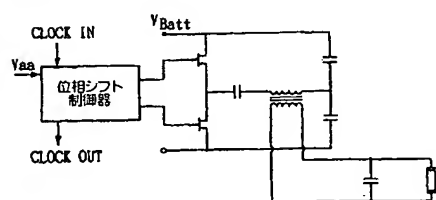
【図11a】



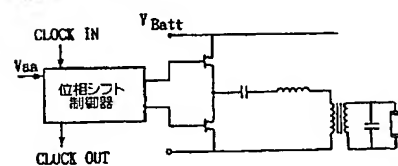
【図11d】



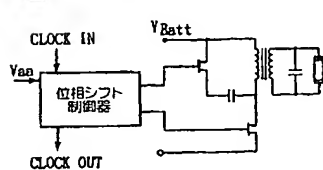
【図11b】



【図11e】



【図11c】



(16)

JP 2004 229496 A 2004.8.12

フロントページの続き

(74)代理人 100094400

弁理士 鈴木 三義

(74)代理人 100107836

弁理士 西 和哉

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 ユンーリン・リン

アメリカ合衆国・94303・カリフォルニア・バロ・アルト・インディアン・ドライブ・251
8

Fターム(参考) 5H007 AA01 BB03 CB02 CB05 CB06 CB12 CC09

(17)

JP 2004 229496 A 2004.8.12

【外国語明細書】

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention generally relates to electrical circuits for supplying energy to multiple loads, such as CCFL (Cold-Cathode-Fluorescent-Lamp) loads and more particularly to electrical circuits for providing phase shifts to multiple loads. Usually, the electrical circuits are applied to display devices, such as liquid crystal display monitors, liquid crystal display computers or liquid crystal display televisions.

2. Description of the Related Art

CCFL loads are extensively used to provide backlighting for liquid crystal displays (LCD), particularly for backlighting LCD monitors and LCD televisions. However, such conventional applications require a separate direct current/alternative current power inverter (DC/AC power inverter) to drive an individual CCFL. Such an application is illustrated in Figure 1, wherein each CCFL (20, 22, ... 24) is powered by an individual DC/AC inverter (10, 12, ... 14), respectively, and all DC/AC inverters are synchronized. Each DC/AC inverter includes a switched AC network and a power driver circuit. The power driver circuit may include a resonant tank circuit for the CCFL. The switched AC network in each inverter is driven ON/OFF synchronously. Therefore, there is a large ripple on the power line. A large current will be drawn from the power source V_{Batt} when the switches in the switched networks are turned on and the current

(18)

JP 2004 229496 A 2004.8.12

drawn is released when the switches are turned off. The simultaneous turning on and off at all inverters cause noises on the power line which degrades the signal/noise integrity in the system.

One method to reduce the ripple is to increase the filtering at the power line. However, the disadvantage is that the size of the circuit is increased, which in turn increases the system cost.

Figure 2 shows another prior art circuit for driving multiple CCFL loads where the circuit includes a controller (40) for driving multiple DC/AC inverters (10, 12, 14, ...16) and CCFL loads (20, 22, 24, ... 26). A clock generator (42) in the controller (40) generates a string of phase-shifted clock signals to each DC/AC inverter (10, 12, 14, ...16) to make a phase delay. Since the switches in the networks of all DC/AC inverters (10, 12, 14, ...16) are turned on and turned off with equal phase shift between the adjacent inverters, the ripple on the power line is effectively reduced to $1/N$ of that shown in Figure 1, where N is the number of DC/AC inverters connected.

However, the problem is that the controller (40) is fixed to the number of original demanded loads, in other words, the number of CCFL loads equals to the lines which deliver phase shifts from the controller (40) to each inverter (10, 12, 14, ...16). Therefore, if the number of CCFL loads is changed, the configuration of the controller (40) should be changed. Another disadvantage is that the controller (40) needs to generate a high-frequency clock signal having a frequency of N times the operating frequency of the individual DC/AC inverter.

SUMMARY OF THE INVENTION

It is an object of the present invention to provide a simpler controller of a simpler phase shift circuit technique, wherein a simpler

(19)

JP 2004 229496 A 2004.8.12

user-programmable number of phases according to the number of inverters is used, such that a high power, low cost and smaller multiple-inverter system can be achieved.

It is another object of the present invention to provide an improved electrical circuit comprising multiple power circuits, such as DC/AC inverters, for driving multiple loads, such as CCFL loads, which reduces instantaneous high current ripples and noises caused by turning ON and turning OFF switches in the power circuits simultaneously.

It is yet another object of the present invention to provide a display device comprising at least two loads, such as CCFL loads. The display device may be an LCD monitor, an LCD television or an LCD computer.

It is yet another object of the present invention to provide a method for driving an electrical circuit comprising multiple power circuits, such as DC/AC inverters, for driving multiple loads, such as CCFL loads, which reduces instantaneous high current ripples and noises caused by turning ON and turning OFF switches in the power circuits simultaneously.

Briefly, the controller of the present invention comprises a pulse generator for generating a clock signal for initiating the operation of the DC/AC inverters connected; and a phase selector for generating a reference signal indicating a number of DC/AC inverters connected.

In addition, the electrical circuit in accordance with the present invention provides a phase shift of the switching ON/OFF between DC/AC inverters for driving CCFL loads, wherein the number of phase shifts is programmed in accordance with the number of DC/AC inverters connected. According to the present invention, a first DC/AC inverter receives a first pulse signal from the pulse generator and a reference signal from the phase selector indicating the number of phases and generates a second pulse signal to a second DC/AC inverter. The second DC/AC inverter receives the second pulse signal having a phase shift with respect to the first pulse

(20)

JP 2004 229496 A 2004.8.12

signal input to the first DC/AC inverter. Likewise, the second DC/AC inverter generates a third pulse signal to a third DC/AC inverter having the same amount of phase shift with respect to the second pulse signal input to the second DC/AC inverter, whereby all DC/AC inverters are turned on and turned off with equal phase shift between the adjacent inverters. According to the present invention, the ripple on the power line is thus effectively reduced, the circuit is programmable and simplified and the cost is reduced.

BRIEF DESCRIPTION OF THE DRAWINGS

For a more complete understanding of the present invention and the advantages thereof, reference is now made to the following descriptions taken in conjunction with the accompanying drawings which illustrate the embodiments of the present invention, wherein:

Figure 1 is a schematic diagram depicting a prior art circuit used for driving multiple CCFL loads, wherein all DC/AC inverters are synchronized in driving the CCFL loads;

Figure 2 is a schematic diagram depicting a prior art circuit used for driving multiple CCFL loads, wherein the circuit includes a controller and multiple DC/AC inverters and the controller generates a string of phase delay clock signals to the multiple DC/AC inverters;

Figure 3 is a block diagram of an electrical circuit in accordance with the present invention that is used for driving multiple CCFL loads;

Figure 4 is a signal representation of an input clock and an output clock for a DC/AC inverter;

Figure 5 is an exemplary selector circuit, wherein the inputs coupled to the selector circuit are digital signals and the output coupled to the

(21)

JP 2004 229496 A 2004.8.12

DC/AC inverters is an analog signal;

Figure 6 is an exemplary schematic of the input signals coupled to the selector circuit and their corresponding output signals;

Figure 7 is an exemplary selector circuit, wherein the input coupled to the selector circuit is an analog signal and the output coupled to the DC/AC inverters is an analog signal;

Figure 8 is an exemplary schematic of the selector circuit illustrated in Figure 7;

Figure 9 is an exemplary schematic of a delay circuit of a DC/AC inverter comprising a ramp signal generated based on the input clock signal;

Figure 10(a) is a schematic diagram of a delay cell in the present invention;

Figure 10(b) is an exemplary delay circuit of a DC/AC inverter comprising a delay cell illustrated in Figure 10(a) which is operated according to the input clock signal and the output signal of the selector circuit; and

Figures 11(a)-11(e) are exemplary DC/AC inverters implementing the electrical circuit of the present invention.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Figure 3 is a block diagram of the electrical circuit in accordance with the present invention used for driving multiple loads, such as light source loads or CCFL loads. The electrical circuit comprises a controller (40) and at least two power circuits (10,12), such as DC/AC inverters.

(22)

JP 2004 229496 A 2004.8.12

The controller (40) comprises a selector (44), such as a phase selector, and a pulse generator (46), such as an oscillator.

The selector (44) generates a reference signal according to variable input signals and the reference signal is coupled to the at least two power circuits (10,12) for indicating a number of power circuits controlled or a number of phases to be shifted. That is to say, if there are four power circuits to be connected, an output of the selector (44) will output a reference signal that represents four power circuits being connected by the variable input signal(s). Therefore, the power circuits to be controlled can be programmable according to the input signal(s) without changing the circuit arrangements of the control circuit (40) and the power circuits (10, 12). The selector (44) can be a digital-to-analog converter or an analog-input-analog-output circuit.

The pulse generator (46) generates a first pulse signal and the first pulse signal is coupled to a first power circuit (10) of the at least two power circuits (10,12) for initiating the operation of the first power circuit (10) of the at least two power circuits (10,12). The first power circuit (10) then outputs a second pulse signal to initiate the operation of a second power circuit (12) of the at least two power circuits (10,12). The at least two power circuits (10,12) are each coupled to a transformer and a load, such as a light source or a CCFL, so as to supply energy to the loads.

For simplification, the operation of the electrical circuit of the present invention comprising two power circuits is explained as follows:

The selector (44) first generates a reference signal to the two power circuits (10, 12) according to the input signal(s) coupled to the selector (44) for indicating a number of power circuits controlled (the number is two in this case). The pulse generator (46) then generates a first pulse signal to a first power circuit (10) for initiating the operation of the first power circuit (10). The first power circuit (10) is coupled to a first transformer which is

(23)

JP 2004 229496 A 2004.8.12

coupled to a first load, such as a light source or a CCFL, and controls the operation of the first load. The first power circuit (10) outputs a second pulse signal to a second power circuit (12) for initiating the operation of the second power circuit (12), wherein the second pulse signal is delayed with respect to the first pulse signal sent to the first power circuit (10). The second power circuit (12) is coupled to a second transformer which is coupled to a second load, such as a light source or a CCFL, and controls the operation of the second load. Likewise, the second power circuit (12) outputs a third pulse signal to the first power circuit (10) for the second operational cycle. The third pulse signal is delayed with respect to the second pulse signal sent to the second power circuit (12). The first power circuit (10) then outputs a fourth pulse signal, wherein the fourth pulse signal is delayed with respect to the third pulse signal sent to the first power circuit (10). It is usually the pulse signal output from the last power circuit as the input pulse signal to the first power circuit. According to the present invention, the two power circuits (10, 12) are turned on and turned off with equal phase shift. Therefore, the ripple on the power line is thus effectively reduced, the circuit is programmable and simplified and the cost is reduced. The advantages of the present invention will be more apparent when the number of power circuits is large.

The electrical circuit of the present invention can be applied to a display device, such as an LCD monitor, an LCD television or an LCD computer. The display device may comprise, in addition to the controller, at least two power circuits, at least two transformers, at least two light sources and a display panel.

Figure 4 is a signal representation of an input clock and an output clock for a power circuit. There is a time delay, ΔT , between the input clock signal and output clock signal. The delay is a kind of phase shift delay and is generated by a delay circuit, which will be discussed later.

Figure 5 is an exemplary selector circuit (70), wherein the inputs (60,

(24)

JP 2004 229496 A 2004.8.12

62, 64, ... 66) coupled to the selector circuit (70), such as a digital to analog converter, are digital signals and the output coupled to the power circuits (10, 12, ... 14) is an analog signal (V_{aa}). The input signals coupled to the selector circuit (70) and their corresponding output signals are shown in Figure 6. That is to say, if the input terminals of the selector (70) are four, then the power circuits to be controlled can be programmed to sixteen.

Figure 7 illustrates another exemplary selector circuit (72), such as a scaled analog selector, wherein the input coupled to the selector circuit is an analog signal (V_{ain}) and the output coupled to the power circuits (10, 12, ... 14) is an analog signal (V_{aa}). Figure 8 is an exemplary schematic of the selector circuit (72) illustrated in Figure 7, wherein V_{ain} stands for the analog input of the selector circuit (72) and V_{aa} stands for the analog output of the selector circuit (72). The value of V_{aa} can be obtained by using a superposition method based on the values of V_{ain} , V_{ref} and three resistors (80, 82, 84).

Figure 9 is an exemplary schematic of a delay circuit in a power circuit comprising a ramp signal generated based on the input clock signal and the reference signal. The delay ΔT is generated by the delay circuit between each phase. Figure 9 also illustrates a series of signals coupled to each CCFL sequentially, wherein the delay of initial point is generated by a ramp generator based on the first pulse signal and the reference signal.

Figure 10(a) is a schematic diagram of a delay cell in the present invention. It illustrates the delay ΔT generated by the delay cell between the clock in signal and clock out signal. Figure 10(b) is an exemplary delay circuit of a power circuit comprising a delay cell (92) illustrated in Figure 10(a). The delay ΔT is mainly determined by the reference signal V_{aa} . First of all, when a CLOCK IN signal is coupled to the delay cell (92) at the very beginning of time, the transistor (93) is turned on and the

(25)

JP 2004 229496 A 2004.8.12

voltage V_c is dropped to 0V. Meanwhile, a capacitor (94) is charged by a current I_c once the CLOCK IN signal drops to turn off transistor (93) (starting of delay time) until the voltage on the capacitor (94) is higher than V_{ref} . When the voltage on the capacitor (94) is higher than V_{ref} , a comparator (95) will change state and generate a pulse signal (end of delay time) via a capacitor (96) to next stage. The current I_c is determined by a difference between V_{aa} and V_{cc} . In one example, the higher the value of V_{aa} is, the smaller current I_c will be and the more charge time there is. In other words, the delay time is increased. In another example, the higher the value of V_{aa} is, the higher current I_c will be and thus the less charge time there is. In other words, the delay time is decreased.

Figures 11(a)-11(e) are exemplary DC/AC inverters implementing the electrical circuit of the present invention. Figure 11(a) is a full-bridge DC/AC inverter, Figure 11(b) is a half-bridge DC/AC inverter, Figure 11(c) is a fly-back forward DC/AC inverter, Figure 11(d) is a push-pull DC/AC inverter and Figure 11(e) is a class D DC/AC inverter.

Although the present invention and its advantage have been described in detail, it should be understood that various changes, substitutions and alternations can be made herein without departing from the spirit and scope of the invention as defined by the appended claims.

(26)

JP 2004 229496 A 2004.8.12

1. A controller for controlling at least two power circuits, comprising

a pulse generator for generating a pulse signal, the pulse signal being coupled to a first power circuit of the at least two power circuits for initiating the operation of the at least two power circuits; and

a selector for generating a reference signal, the reference signal being coupled to each of the at least two power circuits for indicating a number of power circuits controlled.

2. The controller of Claim 1, wherein the pulse generator is an oscillator.

3. The controller of Claim 1, wherein the selector is a phase selector, a digital-to-analog converter or an analog-input-analog-output circuit.

4. The controller of Claim 1, wherein the reference signal indicates a number of phases to be shifted.

5. The controller of Claim 1, wherein the selector comprises at least one input terminal for programming a number of power circuits controlled and an output for outputting the reference signal according to an input signal coupled to the at least one input terminal.

6. The controller of Claim 5, wherein the input signal is an analog signal for selecting a number of phases or a digital signal for selecting a number of phases.

7. An electrical circuit for supplying energy, comprising

a controller having a pulse generator for generating a first pulse signal

(27)

JP 2004 229496 A 2004.8.12

and a selector for generating a reference signal; and

at least two power circuits,

wherein the reference signal is coupled to each of the at least two power circuits for indicating a number of power circuits controlled and the first pulse signal is coupled to a first power circuit of the at least two power circuits for initiating the operation of the first power circuit, the first power circuit outputs a second pulse signal to a second power circuit of the at least two power circuits for initiating the operation of the second power circuit, and the second pulse signal has a delay with respect to the first pulse signal to the first power circuit.

8. The electrical circuit of Claim 7, wherein the pulse generator is an oscillator.

9. The electrical circuit of Claim 7, wherein the selector is a phase selector, a digital-to-analog converter or an analog-input-analog-output circuit.

10. The electrical circuit of Claim 7, wherein the reference signal indicates a number of phases to be shifted.

11. The electrical circuit of Claim 7, wherein the selector comprises at least one input terminal for programming a number of power circuits controlled and an output for outputting the reference signal according to an input signal coupled to the at least one input terminal.

12. The electrical circuit of Claim 11, wherein the input signal is an analog signal for selecting a number of phases or a digital signal for selecting a number of phases.

13. The electrical circuit of Claim 7, wherein the power circuit is a DC/AC inverter.

(28)

JP 2004 229496 A 2004.8.12

14. The electrical circuit of Claim 13, wherein the DC/AC inverter is a full-bridge inverter, a half-bridge inverter, a fly-back forward inverter, a push-pull inverter or a class D inverter.

15. The electrical circuit of Claim 7, wherein the delay is a phase shift delay.

16. The electrical circuit of Claim 7, wherein the power circuit further comprises a transformer.

17. The electrical circuit of Claim 16, wherein the power circuit further comprises a light source.

18. The electrical circuit of Claim 17, wherein the light source is a cold-cathode-fluorescent-lamp.

19. The electrical circuit of Claim 7, wherein the power circuit further comprises a ramp generator for generating the delay, and an initial point of the ramp generator occurs based on the first pulse signal and the reference signal.

20. The electrical circuit of Claim 7, wherein the power circuit further comprises a delay circuit for generating the delay, and an amount of the delay is generated based on the first pulse signal and the reference signal.

21. A display device, comprising

a controller having a pulse generator for generating a first pulse signal and a selector for generating a reference signal;

at least two power circuits;

at least two transformers, each coupled to the at least two power circuits, respectively;

(29)

JP 2004 229496 A 2004.8.12

at least two light sources, each coupled to the at least two transformers, respectively;

a display panel;

wherein the reference signal is coupled to each of the at least two power circuits for indicating a number of power circuits controlled and the first pulse signal is coupled to a first power circuit of the at least two power circuits for initiating the operation of the first power circuit so as to turn on a first light source of the at least two light sources, the first power circuit outputs a second pulse signal to a second power circuit of the at least two power circuits for initiating the operation of the second power circuit so as to turn on a second light source of the at least two light sources, and the second pulse signal has a delay with respect to the first pulse signal to the first power circuit.

22. The display device of Claim 21, wherein the display device is a liquid crystal display television, a liquid crystal display monitor or a liquid crystal display computer.

23. The display device of Claim 21, wherein the pulse generator is an oscillator.

24. The display device of Claim 21, wherein the selector is a phase selector, a digital-to-analog converter or an analog-input-analog-output circuit.

25. The display device of Claim 21, wherein the reference signal indicates a number of phases to be shifted.

26. The display device of Claim 21, wherein the selector comprises at least one input terminal for programming a number of power circuits controlled and an output for outputting the reference signal according to an input signal coupled to the at least one input terminal.

(30)

JP 2004 229496 A 2004.8.12

27. The display device of Claim 26, wherein the input signal is an analog signal for selecting a number of phases or a digital signal for selecting a number of phases.

28. The display device of Claim 21, wherein the power circuit is a DC/AC inverter.

29. The display device of Claim 28, wherein the DC/AC inverter is a full-bridge inverter, a half-bridge inverter, a fly-back forward inverter, a push-pull inverter or a class D inverter.

30. The display device of Claim 21, wherein the delay is a phase shift delay.

31. The display device of Claim 21, wherein the light source is a cold-cathode-fluorescent-lamp.

32. The display device of Claim 21, wherein the power circuit further comprises a ramp generator for generating the delay, and an initial point of the ramp generator occurs based on the first pulse signal and the reference signal.

33. The display device of Claim 21, wherein the power circuit further comprises a delay circuit for generating the delay, and an amount of the delay is generated based on the first pulse signal and the reference signal.

34. A method for driving at least two power circuits, comprising the steps of

- (a) generating a reference signal from a selector;
- (b) coupling the reference signal to each of the at least two power circuits for indicating a number of power circuits controlled;
- (c) generating a first pulse signal from a pulse generator;

(31)

JP 2004 229496 A 2004.8.12

(d) coupling the first pulse signal to a first power circuit of the at least two power circuits for initiating the operation of the first power circuit; and

(e) outputting a second pulse signal from the first power circuit to a second power circuit of the at least two power circuits for initiating the operation of the second power circuit, wherein the second pulse signal has a delay with respect to the first pulse signal to the first power circuit.

35. The method of Claim 34, wherein the reference signal in the step (a) is generated according to input signals coupled to the selector.

36. The method of Claim 34, wherein the step (d) further comprises the step of coupling the first power circuit to a first transformer.

37. The method of Claim 36, further comprising the step of coupling the first transformer to a first light source.

38. The method of Claim 34, wherein the step (e) further comprises the step of coupling the second power circuit to a second transformer.

39. The method of Claim 38, further comprising the step of coupling the second transformer to a second light source.

40. The method of Claim 34, wherein the delay in the step (e) is generated by a ramp generator, and an initial point of the ramp generator occurs based on the first pulse signal and the reference signal.

41. The method of Claim 34, wherein the delay in the step (e) is generated by a delay circuit, and an amount of the delay is generated based on the first pulse signal and the reference signal.

42. A controller for controlling at least two cold cathode fluorescent lamp (CCFL) power circuits, comprising

(32)

JP 2004 229496 A 2004.8.12

a phase-shift selector for generating a reference signal, the reference signal being programmed to indicate an amount of phase-delay according to a number of CCFL power circuits connected; and

a pulse generator for receiving the reference signal and generating a pulse signal in response to the received reference signal, the pulse signal being coupled to the at least two CCFL power circuits for initiating the operation of the at least two CCFL power circuits.

43. The controller of Claim 42, wherein the phase-shift selector comprises at least one input terminal for programming the number of CCFL power circuits connected and an output for outputting the reference signal according to an input signal coupled to the at least one input terminal.

44. The controller of Claim 43, wherein the input signal is an analog signal for selecting a number of phases or a digital signal for selecting a number of phases.

45. An electrical circuit for supplying energy to CCFL loads, comprising

at least two CCFL power circuits, each of the at least two CCFL power circuits comprising a phase-delay selector for programming a phase-delay of the CCFL power circuit, wherein the amount of the phase-delay for each CCFL power circuit is stepwise increased according to operation sequence of the CCFL power circuits; and

a controller having a phase-shift selector for generating a reference signal according to a number of the CCFL power circuits connected and a pulse generator for receiving the reference signal and generating a pulse signal in response to the received reference signal, the pulse signal being coupled to the at least two CCFL power circuits for initiating the operation of the at least two CCFL power circuits;

(33)

JP 2004 229496 A 2004.8.12

wherein a first CCFL power circuit of the at least two CCFL power circuits is initiated immediately after the pulse signal is received and a second CCFL power circuit of the at least two CCFL power circuits is initiated after a predetermined amount of phase-delay.

46. The electrical circuit of Claim 45, wherein the phase-shift selector comprises at least one input terminal for programming the number of CCFL power circuits connected and an output for outputting the reference signal according to an input signal coupled to the at least one input terminal.

47. The electrical circuit of Claim 46, wherein the input signal is an analog signal for selecting a number of phases or a digital signal for selecting a number of phases.

48. The electrical circuit of Claim 45, further comprising transformers.

49. The electrical circuit of Claim 48, further comprising CCFL loads.

50. The electrical circuit of Claim 45, wherein the CCFL power circuit further comprises a ramp generator for generating the phase-delay, and an initial point of the ramp generator occurs based on the pulse signal.

51. The electrical circuit of Claim 45, wherein the CCFL power circuit further comprises a delay circuit for generating the programmed phase-delay.

52. A display device having CCFL loads, comprising

at least two CCFL power circuits, each of the at least two CCFL power circuits comprising a phase-delay selector for programming a phase-delay of the CCFL power circuit, wherein the amount of the phase-delay for each CCFL power circuit is stepwise increased according to

(34)

JP 2004 229496 A 2004.8.12

operation sequence of the CCFL power circuits;

a controller having a phase-shift selector for generating a reference signal according to a number of the CCFL power circuits connected and a pulse generator for receiving the reference signal and generating a pulse signal in response to the received reference signal, the pulse signal being coupled to the at least two CCFL power circuits for initiating the operation of the at least two CCFL power circuits;

at least two transformers, each coupled to the at least two CCFL power circuits, respectively;

at least two CCFL loads, each coupled to the at least two transformers, respectively;

a display panel;

wherein a first CCFL power circuit of the at least two CCFL power circuits is initiated immediately after the pulse signal is received so as to turn on a first CCFL load of the at least two CCFL loads and a second CCFL power circuit of the at least two CCFL power circuits is initiated after a predetermined amount of phase-delay so as to turn on a second CCFL load of the at least two CCFL loads.

53. The display device of Claim 52, wherein the display device is a liquid crystal display television, liquid crystal display monitor or a liquid crystal display computer.

54. The display device of Claim 52, wherein the phase-shift selector comprises at least one input terminal for programming the number of CCFL power circuits connected and an output for outputting the reference signal according to an input signal coupled to the at least one input terminal.

55. The display device of Claim 54, wherein the input signal is an

(35)

JP 2004 229496 A 2004.8.12

analog signal for selecting a number of phases or a digital signal for selecting a number of phases.

56. The display device of Claim 52, wherein the CCFL power circuit further comprises a ramp generator for generating the phase-delay, and an initial point of the ramp generator occurs based on the pulse signal.

57. The display device of Claim 52, wherein the CCFL power circuit further comprises a delay circuit for generating the programmed phase-delay.

58. A method for driving at least two CCFL power circuits, comprising the steps of

- (a) generating a reference signal from the phase-shift selector;
- (b) coupling the reference signal to a pulse generator;
- (c) generating a pulse signal from the pulse generator in response to the reference signal and coupling the pulse signal to each of the at least two CCFL power circuits;
- (d) initiating the operation of a first CCFL power circuit after receiving the pulse signal; and
- (e) initiating the operation of a second CCFL power circuit after a predetermined amount of phase-delay.

59. The method of Claim 58, wherein the reference signal in the step (a) is generated according to input signals coupled to the phase-shift selector.

60. The method of Claim 58, wherein the step (d) further comprises the step of coupling the first CCFL power circuit to a first transformer.

(36)

JP 2004 229496 A 2004.8.12

61. The method of Claim 60, further comprising the step of coupling the first transformer to a first CCFL load.

62. The method of Claim 58, wherein the step (e) further comprises the step of coupling the second CCFL power circuit to a second transformer.

63. The method of Claim 62, further comprising the step of coupling the second transformer to a second CCFL load.

64. The method of Claim 58, wherein the phase-delay in the step (e) is generated by a ramp generator, and an initial point of the ramp generator occurs based on the pulse signal.

65. The method of Claim 58, wherein the phase-delay in the step (e) is generated by a delay circuit, and an amount of the phase-delay is programmed by a phase-delay selector in the CCFL power circuit.

(37)

JP 2004 229496 A 2004.8.12

1 . Abstract

A controller for controlling at least two power circuits comprises a pulse generator and a selector. The pulse generator generates a first pulse signal which is coupled to a first power circuit of the at least two power circuits for initiating the operation of the first power circuit. The first power circuit then outputs a second pulse signal to a second power circuit of the at least two power circuits to initiate the operation of the second power circuit. The selector generates a reference signal which is coupled to each of the at least two power circuits for indicating a number of power circuits controlled. The controller is used to control energy supplying to an electrical circuit comprising multiple inverters and is more particularly to provide phase shifts to the electrical circuit. Usually, the electrical circuit is applied to display devices, such as liquid crystal display monitors, liquid crystal display computers and liquid crystal display televisions.

2 . Representative Drawing

Fig. 3

(38)

JP 2004 229496 A 2004.8.12

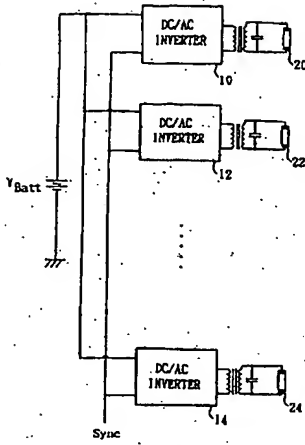
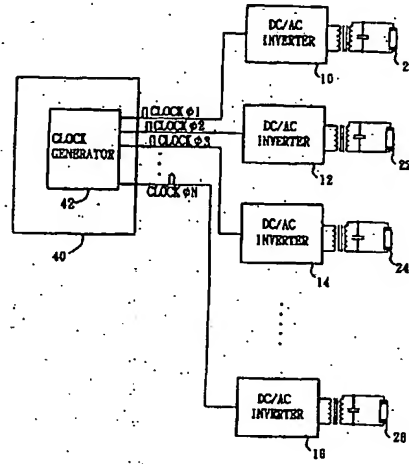
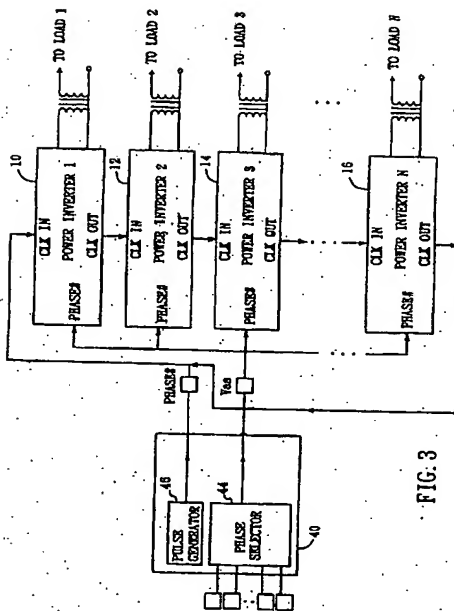
FIG. 1
(PRIOR ART)FIG. 2
(PRIOR ART)

FIG. 3

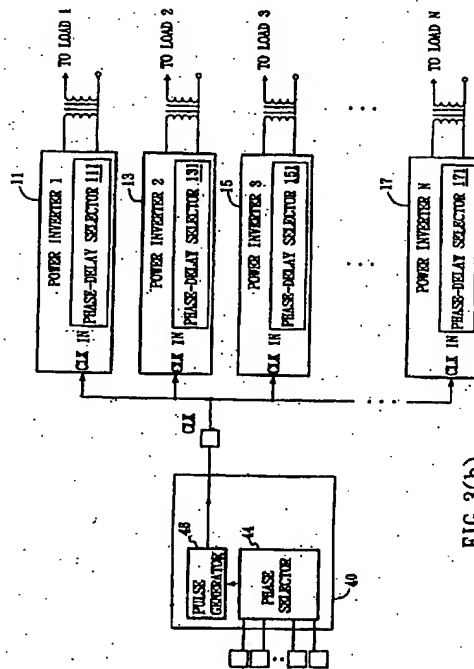


FIG. 3(b)

(39)

JP 2004 229496 A 2004.8.12

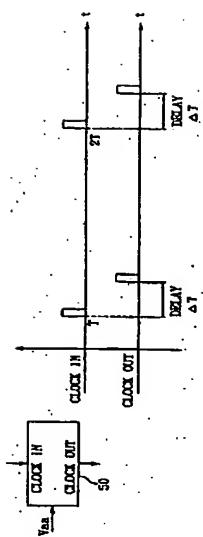


FIG. 4

FIG. 6

sel 0	sel 1	sel 2	sel 3	V _{ref}
0	0	0	0	1/16
0	0	0	1	2/16
0	0	1	0	3/16
0	0	1	1	4/16
0	1	0	0	5/16
0	1	0	1	6/16
0	1	1	0	7/16
0	1	1	1	8/16
1	0	0	0	9/16
1	0	0	1	10/16
1	0	1	0	11/16
1	0	1	1	12/16
1	1	0	0	13/16
1	1	0	1	14/16
1	1	1	0	15/16
1	1	1	1	16/16

FIG. 6

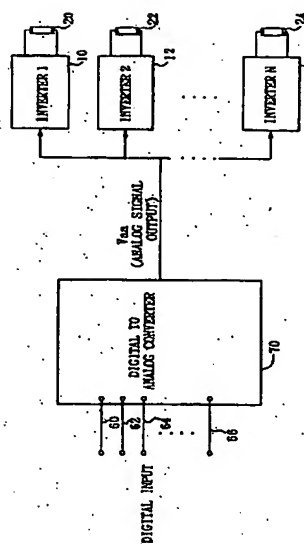


FIG. 5

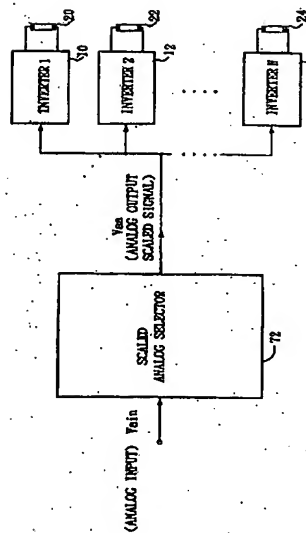
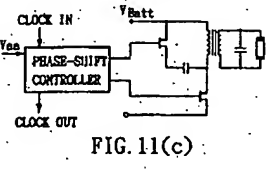
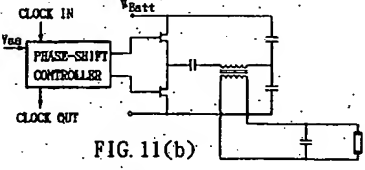
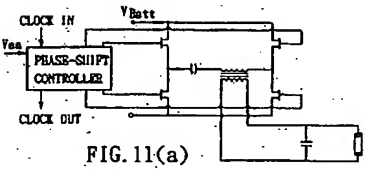
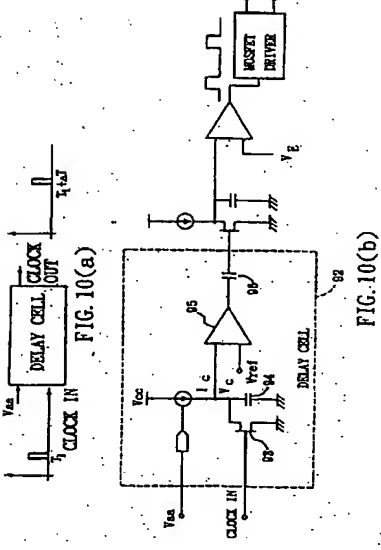
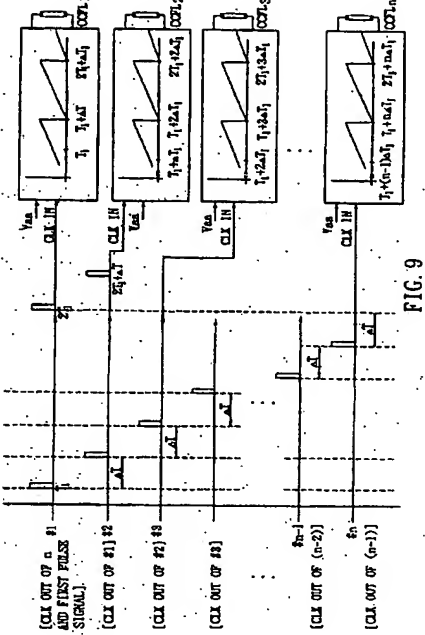
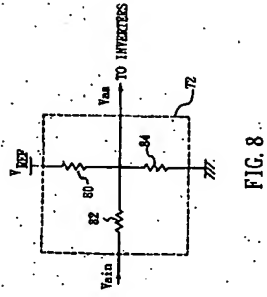


FIG. 7

(40)

JP 2004 229496 A 2004.8.12



(41)

JP 2004 229496 A 2004.8.12

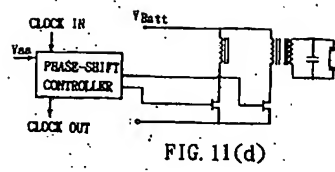


FIG. 11(d)

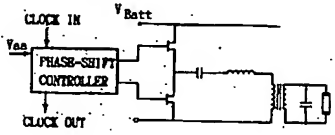


FIG. 11(e)